

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-061923
 (43)Date of publication of application : 08.03.1989

H01L 21/60

(51)Int.Gl.

(21)Application number : 62-219683
 (22)Date of filing : 02.09.1987

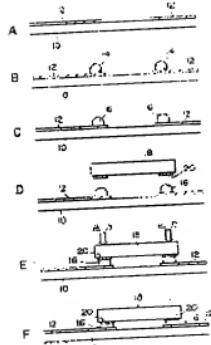
(71)Applicant : FUJI ELECTROCHEM CO LTD
 (72)Inventor : YOSHITAKE MASUSANE
 KANEHARA YASUHARU
 ENDO KAZUAKI

(54) SURFACE MOUNTING FOR SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To allow direct connection of a semiconductor bare chip to a circuit pattern by forming a connecting bump at a predetermined position on the circuit pattern formed on a ceramic substrate, and connecting the semiconductor bare chip directly without any further processing so that the electrode thereof is mounted in a position facing the connecting bump.

CONSTITUTION: A circuit pattern 12 is formed on a ceramic substrate 10 consisting of alumina, etc. Then after mounting a conductive material 14 which is formed to be spherical on a predetermined position in the circuit pattern 12, the ceramic substrate 10 is heated in a heating furnace. In this way, the circuit pattern 12 is baked and an Au bump 16 is formed. Then a semiconductor bare chip 18 is made to come into contact without any further processing by positioning it so that the Al electrode 20 thereof faces the Au bump 16. Then the ceramic substrate 10 and the semiconductor bare chip 18 are connected by heating and applying supersonic vibrations thereto, and then by applying pressure to the Au bump, the semiconductor bare chip 18 is mounted on the side of the circuit pattern 12 of the ceramic substrate 10. According to the constitution, the semiconductor bare chip can be connected directly on the circuit pattern easily with simple equipment.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision]

④ 公開特許公報 (A)

昭64-61923

④ Int.Cl.⁴
H 01 L 21/60識別記号 庁内整理番号
S-6918-5F

④ 公開 昭和64年(1989)3月8日

審査請求 未請求 発明の数 1 (全3頁)

④ 発明の名称 半導体素子の表面実装方法

④ 特 願 昭62-219683
④ 出 願 昭62(1987)9月2日

④ 発明者	吉竹 増実	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
④ 発明者	金原 靖治	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
④ 発明者	遠藤 一明	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
④ 出願人	富士電気化学株式会社	東京都港区新橋5丁目36番11号	
④ 代理人	弁理士 茂見 積		

明細書

1. 発明の名称

半導体素子の表面実装方法

2. 特許請求の範囲

1. セラミック基板上に設けた回路パターンの所定位置に接続用パンプを形成し、半導体ペアチップをそのまま、その電極を前記接続用パンプに対向させて基盤し直接接続することを特徴とする半導体素子の表面実装方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、ハイブリッドIC等を製造する場合に、半導体素子のペアチップをセラミック基板上に形成した回路パターンに直接接続する表面実装方法に関するものである。

【従来の技術】

ハイブリッドICを製造する際に、半導体素子のペアチップを基板に実装する方法としてワイヤボンディング方式やフィルムキャリア方式等があり、またセラミック基板に形成した回路

パターンに直接接続する方式としてはフリップチップ方式がある。

フリップチップ方式はメーカーによって様々であるが、例えば半導体ペアチップのAl電極部分に蒸着によってCrのバリア層、Cr-Cuの混合層、Cuの接着層、Auの酸化防止層、Pb-Snの半田層を設けて半田パンプを構成し、それをセラミック基板上に形成した回路パターンに直接接続する方法がある。

【発明が解決しようとする問題】

このように従来技術では半導体ペアチップの電極部分に直接加工を施しているから、ウェハプロセスを持たないメーカーでは実施不可能であった。その上、半導体チップをセラミック基板に接続する場合、半田パンプが濫れ広がるのを防止するため、基板上にガラスダメを設ける必要があり、技術的にも難しくコストがかかる欠点があった。

本発明の目的は、上記のような従来技術の欠点を解消し、ウェハプロセスを持たないメーカー

一でも回路パターンに半導体ペアチップを直接接続できる簡単な表面実装方法を提供することにある。

【問題点を解決するための手段】

上記のような目的を達成することのできる本発明は、セラミック基板上に設けた回路パターンの所定位置に接続用バンプを形成し、半導体ペアチップをそのまま、その電極面を前記接続用バンプに対向させて配置し直接接続するようにした半導体素子の表面実装方法である。

ここで接続用バンプの形成方法としては、例えばセラミック基板上にスクリーン印刷法を使用して銀／パラジウム等の導体ペーストで回路パターンを印刷し、その所定位置に金のボールを被せて焼付ける方法がある。半導体ペアチップと接続用バンプとの接続には、熱圧着や超音波圧着等が使用可能である。

【作用】

本発明では半導体ペアチップにはなんの加工も施さず、セラミック基板上に接続用バンプを

次にその回路パターン12の所定の位置に球状に加工した導電性材料14を被せる。この導電性材料14としては、微小なAlロボールが好適である。

このようなセラミック基板10を加熱炉内に入れ、例えば850℃で10分間程度加熱する。これによって回路パターン12が焼付けられると共に、同図Cに示すようなAuバンプ16が形成される。この時、球状の導電性材料であるAlと回路パターンを構成する導電ペーストのAa／Pdが接觸し、強固で且つ安定な結合が行われ、良好なAuのバンプを形成できる。

次に同図Dに示すように、半導体ペアチップ18をそのまま（何の加工も施すことなく）、そのAu電極20が前記接続用のAlロボール16に対向するように位置合わせを行い接觸させる。そして同図Eに示すように、セラミック基板10と半導体ペアチップ18とを200℃程度に加熱し、60kHzの超音波振動を与えるながら一個のAuバンプ16につき20g程度

形成する。この接続用バンプは例えば微小な金のボールを回路パターンに載せて加熱すること等により容易に形成できる。それ故、ウエハプロセスを持たないメーカーでも、セラミック基板上に直接半導体ペアチップを表面実装することが可能となる。

接続用バンプとして特に金のボール等を用いると、金は延性が大きいからセラミック基板と半導体素子との熱膨張係数の差を吸収でき、また半導体素子のアルミニウム電極と直接接続できるためプロセスが簡略化され、信頼性の高い製品が得られる。

【実施例】

第1図A～Fは本発明に係る半導体素子の表面実装方法の一実施例を示す工程説明図である。

まず同図Aに示すように、アルミナ(A1、O₂)などからなるセラミック基板10上に回路パターン12に形成する。この回路パターン12は、スクリーン印刷法等によりAa／Pdのような導体ペーストを印刷したものである。

の圧力をかけて直接接続する。このようにして同図Fに示すように半導体ペアチップ18をセラミック基板10の回路パターン12に表面実装することができる。

第2図はこの方法を実施するのに好適な装置の一例を示す説明図である。基台30上に立設した支柱32によって超音波振動子34が白抜き矢印で示されているように昇降自在に支持されており、その先端にチップ吸着器36が取り付けられている。このチップ吸着器36の下端で半導体ペアチップ18が吸着保持される。

一方、基台30上には位置合わせ用テーブル38が設けられ、その上面にヒータ40が取り付けられる。そしてそのヒータ40の上面に第1図Cに示すような接続用バンプを形成したセラミック基板10が配置保持される。

位置合わせ用テーブル38によって半導体ペアチップ18とセラミック基板10の相対的な位置合わせを行い、ヒータ40で加熱しつつ超音波振動子34を降下させて超音波振動を加え、

所定の圧力で超音波圧着を行う。

以上本発明の好ましい一実施例について詳述したが、本発明はこのような構成のみに限定されるものではない。回路パターンの形成はスクリーン印刷法以外に蒸着等の技術を用いても行なえる。接続用パンプは焼付けの他に熱圧着や超音波圧着等でも形成できる。パンプ材料としてはAロが最も望ましいが、Aロ・S1等他の材料を用いることもできる。半導体ペアチップの接続は、超音波による圧着の他、熱圧着法等も利用可能である。

[発明の効果]

本発明は上記のようにセラミック基板上の回路パターンに接続用パンプを形成し、半導体ペアチップ側には特別な加工を施すことなくそのままその電極を前記接続用パンプに対向させ、超音波あるいは熱等により圧着するように構成したから、たとえウェーハプロセスを持たなくとも極く簡単な設備で、直接半導体ペアチップを回路パターンに容易に接続することができる効

果が生じる。

特に接続用パンプとして金ボールを使用すると、半導体素子の電極材であるアルミニウムとの直接接続が可能であるため接続構造が最も簡単になる。しかも金は延性が高いためシリコンとセラミックとの熱膨張係数の差を吸収でき、接続用パンプの変形が起き難くなるし、また金は化学的に一番安定な物質だから、信頼性が向上し歩留りが良くなる利点がある。

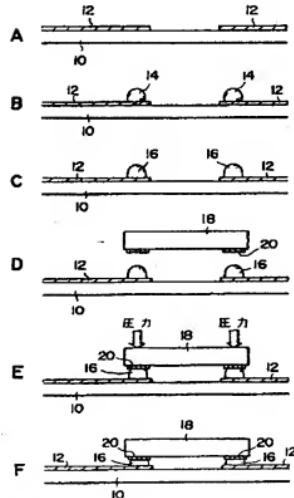
4. 図面の簡単な説明

第1図A~Fは本発明に係る半導体素子の表面実験方法の一実施例を示す工程説明図、第2図はその方法を実施するのに好適な装置の一例を示す説明図である。

10…セラミック基板、12…回路パターン、14…球状の導電性材料、16…接続用のAロパンプ、18…半導体ペアチップ、20…電極。

特許出願人 富士電気化学株式会社
代理人 茂見 稔

第1図



第2図

